



Practitioner's Docket No.: 030550-0305214
Client Reference No.: PIA30747/DBE/US-SS

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: SEOK-SU KIM Confirmation No:
Application No.: 10/624,676 Group No.:
Filed: July 23, 2003 Examiner:
For: METHOD FOR FORMING AN MIM CAPACITOR

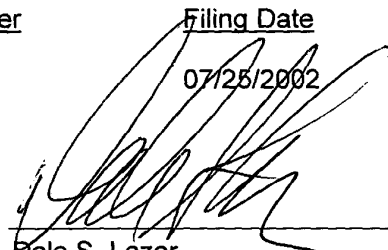
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

| <u>Country</u> | <u>Application Number</u> | <u>Filing Date</u> |
|----------------|---------------------------|--------------------|
| KOREA | 10-2002-0043799 | 07/25/2002 |

Date: August 6, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909


Dale S. Lazar
Registration No. 28872

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

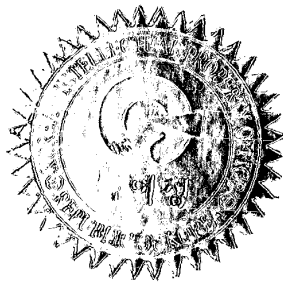
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0043799
Application Number

출원년월일 : 2002년 07월 25일
Date of Application JUL 25, 2002

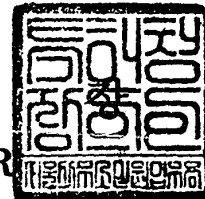
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 07 월 18 일
 년 월 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0009 |
| 【제출일자】 | 2002.07.25 |
| 【발명의 명칭】 | 엠아이엠 캐패시터 형성방법 |
| 【발명의 영문명칭】 | METHOD FOR FORMING MIM CAPACITOR |
| 【출원인】 | |
| 【명칭】 | 동부전자 주식회사 |
| 【출원인코드】 | 1-1998-106725-7 |
| 【대리인】 | |
| 【성명】 | 강성배 |
| 【대리인코드】 | 9-1999-000101-3 |
| 【포괄위임등록번호】 | 2001-050901-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 김석수 |
| 【성명의 영문표기】 | KIM, Seok Su |
| 【주민등록번호】 | 650610-1812916 |
| 【우편번호】 | 467-850 |
| 【주소】 | 경기도 이천시 대월면 사동리 현대전자아파트 106-1003 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인) |
| 【수수료】 | |
| 【기본출원료】 | 10 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 2 항 173,000 원 |
| 【합계】 | 202,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

본 발명은 MIM 캐패시터 형성방법에 관한 것으로, 보다 상세하게는, 하부 금속막의 재증착에 의한 전극들간의 브릿지(bridge) 발생을 방지하기 위한 MIM 캐패시터 형성방법을 개시한다. 반도체 기판 상에 제1금속막과 절연막을 차례로 형성하는 단계; 상기 절연막을 패터닝하여 상기 제1금속막을 노출시키는 트렌치를 형성하는 단계; 상기 트렌치 표면 및 절연막 상에 유전체막 및 제2금속막을 차례로 형성하는 단계; 상기 제2금속막 상에 캐패시터 형성영역을 한정하는 마스크 패턴을 형성하는 단계; 상기 마스크 패턴을 식각 장벽으로 하면서 상기 절연막을 식각정지층으로 하여, 상기 제2금속막과 유전체막을 식각해서 상부전극을 형성하는 단계; 상기 마스크 패턴을 제거하는 단계; 및 상기 절연막과 제1금속막을 패터닝하여 하부전극을 형성하는 단계를 포함한다.

【대표도】

도 2d

【명세서】

【발명의 명칭】

엠아이엠 캐패시터 형성방법{METHOD FOR FORMING MIM CAPACITOR}

【도면의 간단한 설명】

도 1a 및 도 1c는 종래의 엠아이엠(MIM) 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 엠아이엠(MIM) 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

-도면의 주요부분에 대한 부호의 설명-

- | | |
|---------------|---------------|
| 21 : 반도체 기판 | 23 : 제1금속막 |
| 23a : 하부전극 | 25 : 절연막 |
| 27 : 제1마스크 패턴 | 28 : 트렌치 |
| 29 : 유전체막 | 31 : 제2금속막 |
| 31a : 상부전극 | 33 : 제2마스크 패턴 |
| 40 : MIM 캐패시터 | |

1020020043799

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 엠아이엠 캐패시터 형성방법에 관한 것으로, 보다 상세하게는, 하부 금속막의 원치않는 식각 및 식각된 금속막의 재증착에 의한 전극들간의 브릿지 (bridge) 발생을 방지하기 위한 방법에 관한 것이다.
- <11> 아날로그 캐패시터(analog capacitor)는 통상 폴리실리콘막-절연막-폴리실리콘막 구조 대신에 금속막-절연막-금속막(Metal-Insulator-Metal : 이하, MIM) 구조로 형성된다. 이것은 RF 대역의 아날로그 회로에 사용되는 캐패시터는 높은 양호도 (Quality Factor) 값이 요구되는데, 이를 실현하기 위해서는 전극 재료로서 공핍 (Depletion)이 거의 없고, 저항이 낮은 금속 전극의 사용이 필수적이기 때문이다.
- <12> 이하, 종래의 MIM 캐패시터 형성방법을 첨부된 도 1a 및 도 1c를 참조해서 설명하도록 한다.
- <13> 도 1a를 참조하면, 소정의 하지층(도시안됨)을 구비한 반도체 기판(1)을 마련한 상태에서, 상기 기판(1) 상에 제1금속막(2)과 유전체막(3) 및 제2금속막(4)을 차례로 형성한다.
- <14> 도 1b를 참조하면, 제2금속막(4) 상에 공지의 공정에 따라 마스크 패턴(도시안됨)을 형성한 후, 상기 마스크 패턴을 이용해서 제2금속막과 유전체막을 연속적으로 식각하고, 이를 통해, 상기 제1금속막(2) 상에 MIM 캐패시터의 상부전극(4a)을 형성한다.

1020020043799

<15> 도 1c를 참조하면, 마스크 패턴을 제거한 상태에서, 공지의 포토리소그래피 공정에 따라 제1금속막(2)을 패터닝하여 MIM 캐패시터의 하부전극(2a)을 형성하고, 이 결과로서, MIM 캐패시터(10)의 형성을 완성한다.

【발명이 이루고자 하는 기술적 과제】

<16> 그러나, 종래의 MIM 캐패시터 형성방법에 따르면, 상부전극용 금속막과 유전체막을 동시에 식각하며, 상기 유전체막을 완전히 식각하기 위해서는 어느 정도의 과도 식각을 수행해야 하는데 이 과정에서, 도 1b에 도시된 바와 같이, 하부전극용 금속막의 표면이 식각된 후에 재증착(Re-diposition)되는 현상이 발생할 수 있으며, 이로 인해, 하부전극과 상부전극간의 브릿지(bridge)가 발생하는 바, 신뢰성 및 제조수율의 저하가 야기된다.

<17> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 하부 금속막의 원치않는 식각 및 식각된 금속막의 재증착에 의한 전극들간의 브릿지 발생을 방지할 수 있는 MIM 캐패시터 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<18> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 반도체 기판 상에 제1금속막과 절연막을 차례로 형성하는 단계; 상기 절연막을 패터닝하여 상기 제1금속막을 노출시키는 트렌치를 형성하는 단계; 상기 트렌치 표면 및 절연막 상에 유전체막 및 제2금속막을 차례로 형성하는 단계; 상기 제2금속막 상에 캐패시터 형성영역을 한정하는 마스크 패턴을 형성하는 단계; 상기 마스크 패턴을 식각 장벽으로 하면서 상기 절연막을 식각정지층으로 하여, 상기 제2금속막과 유전체막을 식각해서 상부전극을 형성하는 단계; 상기

1020020043799

마스크 패턴을 제거하는 단계; 및 상기 절연막과 제1금속막을 패터닝하여 하부전극을 형성하는 단계를 포함하는 MIM 캐패시터 형성방법을 제공함에 그 목적이 있다.

<19> 본 발명에 따르면, 하부전극용 제1금속막 상에 절연막을 형성한 상태로 유전체막의 식각을 진행하기 때문에 상기 제1금속막의 원치 않는 식각을 방지할 수 있으며, 이에 따라, 전극들간의 브릿지 발생을 방지할 수 있다.

<20> (실시예)

<21> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<22> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 MIM 캐패시터 형성방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

<23> 도 2a를 참조하면, 소정의 하지층(도시안됨)을 구비한 반도체 기판(21)을 마련한 상태에서, 상기 기판(21) 상에 하부전극용 제1금속막(23)을 증착한다. 그런다음, 상기 하부전극용 제1금속막(23) 상에 절연막(25)을 증착한다.

<24> 여기서, 상기 절연막(25)은 이후에 설명되겠지만, 후속 공정인 상부전극용 제2금속막 및 유전체막의 식각시에 식각 정지층으로 이용함으로써 상기 하부전극용 제1금속막의 원치 않는 식각이 이루어지는 것을 방지하며, 이를 통해, 하부전극과 상부전극간의 브릿지 발생을 방지하기 위해 형성 해준 것이며, 바람직하게, 산화막 또는 질화막으로 형성된다.

<25> 계속해서, 상기 절연막 상에 트렌치 형성용 제1마스크 패턴(27)을 형성한다.

- <26> 도 2b를 참조하면, 절연막(25) 상에 형성된 제1마스크 패턴을 이용해서 상기 절연막(25)을 식각하여 하부전극용 제1금속막(23)을 노출시키는 트렌치(28)를 형성한다. 그
런다음, 상기 제1마스크 패턴을 제거한 상태에서, 상기 트렌치(28) 표면 및 절연막(25)
상에 유전체막(29)과 상부전극용 제2금속막(31)을 차례로 형성한다.
- <27> 이어서, 상기 상부전극용 제2금속막(31) 상에 캐패시터 형성영역을 한정하는 제2
마스크 패턴(33)을 형성한다.
- <28> 도 2c를 참조하면, 상기 제2마스크 패턴을 식각 장벽으로 이용하면서 상기 절연막
(25)을 식각 정지층으로 이용하여 상기 상부전극용 제2금속막과 유전체막을 식각하고,
이를 통해, MIM 캐패시터의 상부전극(31a)을 형성한다.
- <29> 이때, 상기 하부전극용 제1금속막(23) 상에는 절연막(25)이 형성되어 있으므로, 제
2금속막과 유전체막을 식각하는 공정에서 상기 하부전극용 제1금속막(23)의 원치 않는
식각은 일어나지 않으며, 따라서, 식각된 금속막의 재증착도 일어나지 않는바, 상, 하부
전극들간의 브릿지는 발생되지 않는다.
- <30> 도 2d를 참조하면, 공지의 포토리소그래피 공정에 따라 상기 절연막(25)과 하부전
극용 제1금속막(23)을 식각하여 하부전극(23a)을 형성하고, 이 결과로서, 하부전극
(23a), 유전체막(29) 및 상부전극(31a)의 적층 구조로 이루어진 본 발명에 따른 MIM 캐
패시터(40) 형성을 완성한다.

【발명의 효과】

- <31> 이상에서와 같이, 본 발명은 하부전극용 금속막 상에 절연막을 형성한 상태로 유전
체막의 식각을 진행하기 때문에 상기 하부전극용 금속막의 원치 않는 식각을 방지할 수

출력 일자: 2003/7/18

1020020043799

있으며, 이에 따라, 전극들간의 브릿지 발생을 방지하여 소자 특성 및 제조수율을 향상시킬 수 있다.

<32> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】

【청구항 1】

반도체 기판 상에 제1금속막과 절연막을 차례로 형성하는 단계;

상기 절연막을 패터닝하여 상기 제1금속막을 노출시키는 트렌치를 형성하는 단계;

상기 트렌치 표면 및 절연막 상에 유전체막 및 제2금속막을 차례로 형성하는 단계;

상기 제2금속막 상에 캐패시터 형성영역을 한정하는 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 식각 장벽으로 하면서 상기 절연막을 식각정지층으로 하여, 상기 제2금속막과 유전체막을 식각해서 상부전극을 형성하는 단계;

상기 마스크 패턴을 제거하는 단계; 및

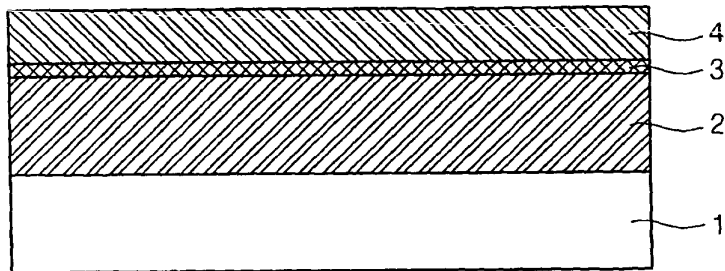
상기 절연막과 제1금속막을 패터닝하여 하부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 MIM 캐패시터 형성방법.

【청구항 2】

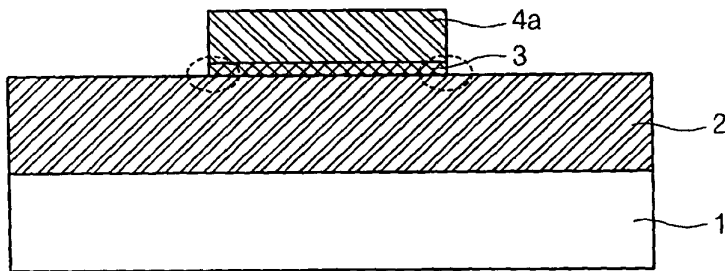
제 1 항에 있어서, 상기 절연막은 산화막 또는 질화막으로 이루어진 것을 특징으로 하는 MIM 캐패시터 형성방법.

【도면】

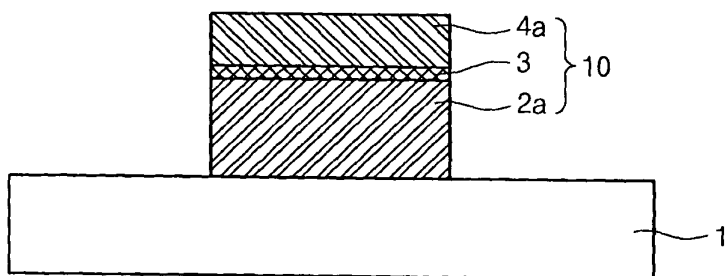
【도 1a】



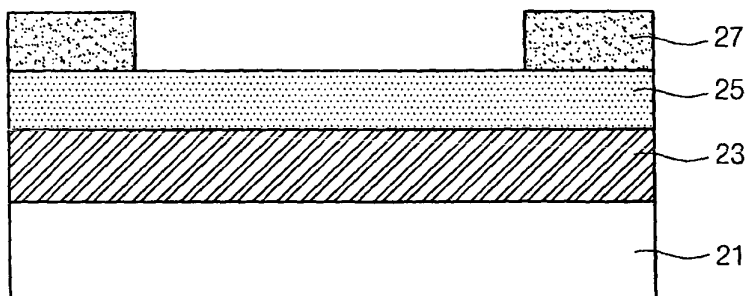
【도 1b】



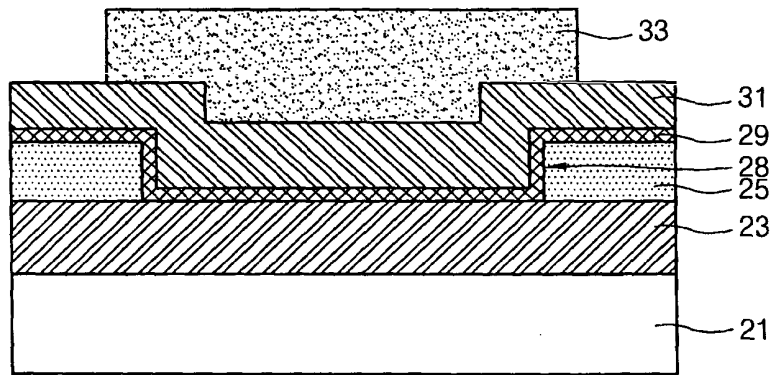
【도 1c】



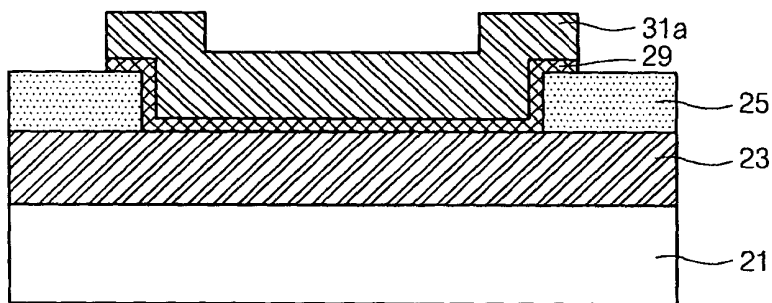
【도 2a】



【도 2b】



【도 2c】



【도 2d】

